

(11)Publication number : **2001-296507**

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

G02F 1/13

G01R 31/02

G09F 9/00

G09F 9/30

(21)Application number : 2000-111843

(71)Applicant : **TOSHIBA CORP**

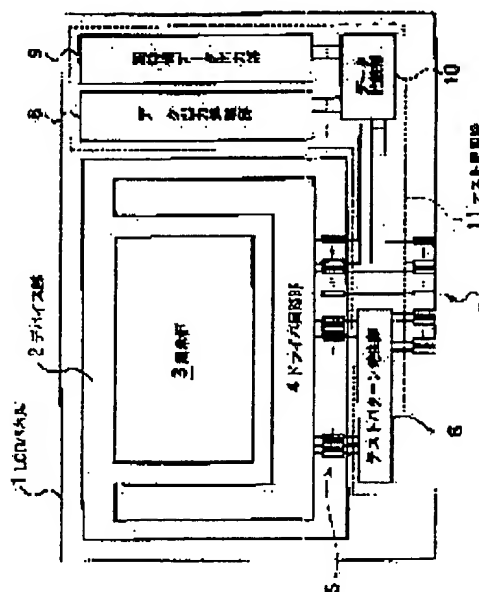
(22)Date of filing : **13.04.2000** (72)Inventor : **KONDA NOBUO**

(54) ELECTRODE SUBSTRATE FOR DISPLAY DEVICE AND TEST METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce costs necessary for inspecting a pixel part of a p-Si TFT-LCD and driver circuits.

SOLUTION: A test circuit 11 is formed, comprising a test pattern generation part 6 which is connected with at least either the pixel part 3 or the driver circuit part 4 formed on an LCD substrate 1 and generates a test pattern for inspecting an electric response of the pixel part 3 or the driver circuit part 4, an expected value data output part 9 for outputting an expected value data expected as a normal response of the pixel part 3 or the driver circuit part 4, and a data comparison part for comparing the output data from the pixel part 3 or the driver circuit part 4 with the expected value data outputted from the expected data value output part 9 and outputting the data concerning the present or absence of electric failure of the pixel part 3 or the driver circuit part 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Patent number]

[Number of appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-296507

(P2001-296507A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	デマコト* (参考)
G 0 2 F 1/13	1 0 1	G 0 2 F 1/13	1 0 1 2 G 0 1 4
G 0 1 R 31/02		G 0 1 R 31/02	2 H 0 8 8
G 0 9 F 9/00	3 5 2	G 0 9 F 9/00	3 5 2 5 C 0 9 4
9/30	3 3 8	9/30	3 3 8 5 G 4 3 5

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2000-111843(P2000-111843)

(22) 出願日 平成12年4月13日 (2000. 4. 13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 昆田 信生

埼玉県深谷市幡経町一丁目9番地2号 株

式会社東芝深谷工場内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

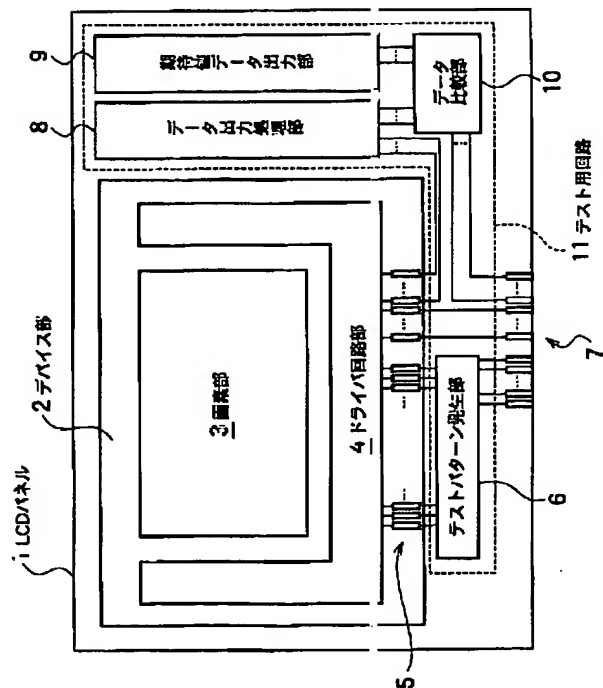
最終頁に続く

(54) 【発明の名称】 表示装置用電極基板及びそのテスト方法

(57) 【要約】

【課題】 p-Si TFT-LCDの画素部やドライバ回路の検査に要するコストを削減する。

【解決手段】 画素部3及びドライバ回路部4が形成されたLCD基板1上に、画素部3又はドライバ回路部4の少なくとも一方に接続し、画素部3又はドライバ回路部4の電気的な応答を検査するためのテストパターンを発生するテストパターン発生部6と、画素部3又はドライバ回路部4の正常な応答として期待される期待値データ outputs 期待値データ出力部9と、画素部3又はドライバ回路部4からの出力データと、期待値データ出力部9から出力された期待値データとを比較して、画素部3又はドライバ回路部4の電気的不良の有無に関するデータを出力するデータ比較部10とから構成されるテスト用回路11を形成した。



【特許請求の範囲】

【請求項1】 主面上に、互いに交差する複数の第1の配線及び複数の第2の配線、これら両配線の各交差部に配置された画素電極、及び前記第1の配線に供給されるゲート信号によりオン／オフ制御され、オン時に前記第2の配線と前記画素電極間を導通させて前記第2の配線に供給されたデータ信号を前記画素電極に書き込む複数のスイッチ素子からなる画素部と、前記スイッチ素子にゲート信号を供給する第1のドライバ回路、及び前記第2の配線にデータ信号を供給する第2のドライバ回路からなるドライバ回路部とが形成された表示装置用電極基板において、

前記画素部又は前記ドライバ回路部の少なくとも一方に接続し、前記画素部又は前記ドライバ回路部の電気的な応答を検査するためのテストパターンを発生するテストパターン発生部と、

前記画素部又は前記ドライバ回路部の正常な応答として期待される期待値データを出力する期待値データ出力部と、

前記画素部又は前記ドライバ回路部からの出力データと、前記期待値データ出力部から出力された期待値データとを比較して、前記画素部又は前記ドライバ回路部の電気的不良の有無に関するデータを出力するデータ比較部と、

からなるテスト用回路を形成したことを特徴とする表示装置用電極基板。

【請求項2】 前記テストパターン発生部、期待値データ出力部及びデータ比較部を、前記画素部及びドライバ回路部を形成するのと同じプロセスで、かつ同時に形成することを特徴とする請求項1に記載の表示装置用電極基板。

【請求項3】 前記テストパターン発生部、期待値データ出力部及びデータ比較部を、検査が終了した後又は製造途中において基板から分離することを特徴とする請求項1に記載の表示装置用電極基板。

【請求項4】 前記テスト用回路を用いてテストパターンの生成、入力及び出力結果の解析を行うことにより、前記画素部又は前記ドライバ回路部の電気的不良の有無を検査することを特徴とする請求項1に記載の表示装置用電極基板のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アクティブマトリクス型液晶表示装置に用いられる表示装置用電極基板及びそのテスト方法に関する。

【0002】

【従来の技術】表示画面を構成する画素毎にスイッチ素子としてTFT（薄膜トランジスタ）を配置したアクティブマトリクス型の液晶表示装置は、隣接する画素間でクロストークがなく、高精細化に適していることから、

ディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして注目されている。近年では、ガラス基板上にp-Si（ポリシリコン）TFTを用いてドライバ回路を内蔵した、p-SiTFT-LCD（液晶表示装置）の開発が進められている。

【0003】このようなLCDでは、ガラス基板上に形成された入出力端子からテストパターンを入力することによって、ドライバ回路自体及びそのドライバ回路を介して画素部の検査を行う必要があり、このときのテストパターンとなるロジック信号などは、テストパターン作成用のソフトウエアを用いることにより、人手を介して作成していた。

【0004】

【発明が解決しようとする課題】ところで、上記のようなテストパターンは、検査の内容によっては非常に複雑なパターンとなるだけでなく、これを複数種類用意しなければならず、完成させるまでに長い時間を要することがあった。また、作成されたテストパターンを前記入出力端子から入力するため、テストにはパターン発生器やパターンメモリなどが必要となるが、複雑な検査を行う場合には大規模なテストを用意しなければならないことから、結果としてテストのコストが上昇してしまうという問題点があった。

【0005】さらに、近い将来、より高精細な製品が市場から要求された場合には、入力する信号数の多様化や多種パターンのパターンで検査する必要が生じる可能性があり、テストに要するコストはますます大きくなると考えられる。

【0006】この発明は、p-SiTFT-LCDの画素部やドライバ回路の検査に要するコストを削減することができる表示装置用電極基板及びそのテスト方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、主面上に、互いに交差する複数の第1の配線及び複数の第2の配線、これら両配線の各交差部に配置された画素電極、及び前記第1の配線に供給されるゲート信号によりオン／オフ制御され、オン時に前記第2の配線と前記画素電極間を導通させて前記第2の配線に供給されたデータ信号を前記画素電極に書き込む複数のスイッチ素子からなる画素部と、前記スイッチ素子にゲート信号を供給する第1のドライバ回路、及び前記第2の配線にデータ信号を供給する第2のドライバ回路からなるドライバ回路部とが形成された表示装置用電極基板において、前記画素部又は前記ドライバ回路部の少なくとも一方に接続し、前記画素部又は前記ドライバ回路部の電気的な応答を検査するためのテストパターンを発生するテストパターン発生部と、前記画素部又は前記ドライバ回路部の正常な応答として期待される期待値データを出力する期待値データ出力部と、前記画

素部又は前記ドライバ回路部からの出力データと、前記期待値データ出力部から出力された期待値データとを比較して、前記画素部又は前記ドライバ回路部の電氣的不良の有無に関するデータを出力するデータ比較部とからなるテスト用回路を形成したことを特徴とする。

【0008】好ましい形態として、前記テスト用回路を構成するテストパターン発生部、期待値データ出力部及びデータ比較部を、前記画素部及びドライバ回路部を形成するのと同じプロセスで、かつ同時に形成する。

【0009】また好ましい形態として、前記テスト用回路を構成するテストパターン発生部、期待値データ出力部及びデータ比較部を、検査が終了した後（あるいは製造途中）で基板から分離する。

【0010】さらに、上記目的を達成するため、請求項4の発明は、請求項1の表示装置用電極基板に対し、前記テスト用回路を用いてテストパターンの生成、入力及び出力結果の解析を行うことにより、前記画素部又は前記ドライバ回路部の電氣的不良の有無を検査することを特徴とする。

【0011】上記発明においては、テストから検査に必要な最小限のシステム入力をテスト用内部回路に与えるだけで、回路や配線の電氣的な不良の有無を判定することができるため、複雑なテストパターンが必要な検査であっても、こうしたパターンを複数種類用意する必要がなく、パターン完成までの待ち時間をなくすることができる。また、作成されたテストパターンを入力するためのパターン発生器やパターンメモリなどが不要となるため、複雑な検査を行う場合でも、大規模なテストを用意する必要がなく、テストのコストを下げることができる。

【0012】

【発明の実施の形態】以下、この発明に係わる表示装置用電極基板及びそのテスト方法を、p-Si TFT-LCD基板（以下、LCD基板）に適用した場合の実施の形態について説明する。

【0013】図1は、この実施形態に係わるLCD基板の回路構成を示す概略ブロック図である。通常、LCD基板は大きなガラス基板上に複数形成されるが、ここでは説明を簡単にするため、図1に示すように、ガラス基板上に一つのLCD基板1を形成した例について説明する。

【0014】LCD基板1に形成された回路は、デバイス部2とテスト用回路11とに大別することができる。

【0015】デバイス部2は、画素部3と、この画素部3を駆動するためのドライバ回路部4と、ドライバ回路部4が動作するのに必要な電源やロジック信号などを入力したり、後述するテスト用回路11へデータを入出力するための入出力端子5とから構成されている。

【0016】画素部3は、互いに交差する複数の走査線及び複数の信号線、これら両線の各交差点に配置された

画素電極、及び前記走査線に供給されるゲート信号によりオン／オフ制御され、オン時に前記信号線と前記画素電極間を導通させて前記信号線に供給されたデータ信号を前記画素電極に書き込む複数のTFTからなるスイッチ素子（いずれも図示せず）から構成されている。

【0017】ドライバ回路部4は、前記スイッチ素子のオン／オフを制御するゲート信号を供給する走査線ドライバ回路と、前記信号線にデータ信号を供給する信号線ドライバ回路（いずれも図示せず）から構成されている。

【0018】また、デバイス部2の周囲には、画素部3又はドライバ回路部4の電氣的な応答を検査するためのテストパターンを発生するテストパターン発生部6と、テスト回路入出力端子7と、デバイス部2から出力されたデータをデータ比較部10で比較可能な形式に変換・加工するデータ出力処理部8と、画素部3又はドライバ回路部4の正常な応答として期待される期待値データを出力する期待値データ出力部9と、画素部3又はドライバ回路部4からの出力データと、期待値データ出力部9から出力された期待値データとを比較して、画素部3又はドライバ回路部4の電氣的不良の有無に関するデータ（例えば、High/Lowレベルの信号）を出力するデータ比較部10とが形成されている。

【0019】このうち、テストパターン発生部6、データ出力処理部8、期待値データ出力部9及びデータ比較部10は、画素部3及びドライバ回路部4の電氣的不良を検査するためのテスト用回路11を構成している。

【0020】デバイス部2の入出力端子5は、その一部がテストパターン発生部6を介してテスト用回路入出力端子7と接続されており、図示しないテストから与えられる電源、接地（GND）などのシステム入力は、テスト用回路入出力端子7からデバイス部2とテストパターン発生部6へ供給される。また入出力端子5の一部は、データ出力処理部8にも接続されており、デバイス部2から出力されたデータは、入出力端子5を経てデータ出力処理部8に渡され、このデータ出力処理部8で所定の変換・加工が施された後に、データ比較部10へ出力される。データ比較部10には、データ出力処理部8と期待値データ出力部9からの出力が与えられ、このデータ比較部10から出力されたデータは、テスト回路入出力端子7から外部に取り出される。

【0021】上記テストパターン発生部6、データ出力処理部8、期待値データ出力部9及びデータ比較部10は、画素部3及びドライバ回路部4を形成するのと同じプロセスで、かつ同時に形成することができる。したがって、従来と同じプロセスを用いてLCD基板の機能を向上させることができるようになり、図示しないテストを簡素化することができる。また、新たにプロセスを増やす必要がないため、生産性の低下を招くことがない。

【0022】さらに、テスト用回路11並びにテスト用回路入出力端子7は、そのまま基板上に残しても画素部3やドライバ回路部4の動作に影響を与えることはないが、これらの回路や端子を残したままでは、製品としての外形サイズが大きくなってしまいますので、検査が終了した後（あるいは製造途中）で切り落とすことにより、製品外形を小さくすることができる。

【0023】次に、上記のように構成されたテスト用回路11の動作を具体的な回路構成とともに説明する。

【0024】まず、ドライバ回路部4を検査する場合の回路構成とそのテスト方法について説明する。

【0025】図2は、ドライバ回路部4及びテスト用回路11の部分的な回路構成図である。ここでは、ドライバ回路部4内のインバータ回路21、24、27・・・がリーク不良を発生していないかを順に検査する場合を列として説明する。

【0026】なお、パターン発生部6、データ出力処理部8、期待値データ出力部9及びデータ比較部10において、破線の領域内は各部に内蔵されている回路の一部を示している。また、検査対象となるドライバ回路部4についても、回路の一部であるインバータ回路を示している。

【0027】なお、インバータ回路21、24、27において、符号22、25、28は入力側スイッチを、符号23、26、29は出力側スイッチをそれぞれ示している。また、VDDは電源側電位を、VSSは接地側電位をそれぞれ示している。

【0028】まず、図示しないテストから電源、接地（GND）などのシステム入力を、テスト用回路入出力端子7を通じてドライバ回路部4とテストパターン発生部6にそれぞれ供給する。そして、テストパターン発生回路6内のD型フリップフロップ（以下、DFF）31～38を順に動作させて、ドライバ回路部4内のインバータ回路21の入力側スイッチ22をオンして、インバータ回路21へHighレベルの信号を書き込む。

【0029】ここで、インバータ回路21の電気的な動作が正常であるならば、出力側にはLowレベルの信号が出力される。この出力はインバータ回路21の出力側スイッチ23を介してデータ出力処理部8の内部回路39へ到達し、ここでレベル反転されてHighレベルの信号となる。この信号は、データ比較部10の内部回路39に与えられる。一方、期待値データ出力部9の内部回路40からは、期待値（設計値）であるHighレベルの信号がデータ比較部10の内部回路41に与えられている。データ比較部10の内部回路41はAND回路で構成されており、2つの入力があると同一場合、すなわちデータ出力処理部8からの出力と期待値データ出力部9からの出力が一致した場合のみHighレベルの信号が出力される。この場合では、2つの入力とともにHighレベルの信号であるため、データ比較部10から

の出力もHighレベルの信号となり、インバータ回路21の電気的な動作が正常であると判断することができる。また、インバータ回路21の電気的な動作が正常でないならば、インバータ回路21の出力側にはHighレベルの信号が出力されることになる。この結果、データ比較部10からの出力はLowレベルの信号となり、インバータ回路21の電気的な動作が正常でないと判断することができる。

【0030】同様に、テストパターン発生回路6内のDFF31～38が順に動作を続けることにより、ドライバ回路4の残りのインバータ回路24、27についても順に検査が行われる。このとき、ドライバ回路4に含まれるすべてのインバータ回路21、24、27の電気的な動作が正常であれば、データ比較部10からは常にHighレベルの信号が出力されることになる。しかし、インバータ回路21、24、27のうち、一つでも電気的な動作が正常でない場合は、データ比較部10からはLowレベルの信号が出力される。したがって、データ比較部10から出力される信号の中に、一部でもLowレベルの信号が出力されたときは、いずれかのインバータ回路の電気的な動作が正常でないことになり、不具合があることを容易に判定することができる。このようなテスト用回路を用いることにより、図示しないテストからは検査に必要な最小限のシステム入力を与えるだけで回路の電気的な不良の有無を判定することができる。

【0031】次に、画素部3を検査する場合の回路構成とそのテスト方法について説明する。

【0032】図3は、画素部3及びテスト用回路11の部分的な回路構成図である。ここでは、画素部3を構成するスイッチ素子S1、S2・・・の導通不良及び補助容量Cs1、Cs2・・・がリーク不良を発生していないかを検査する場合を例として説明する。

【0033】この例においても、パターン発生部6、データ出力処理部8、期待値データ出力部9及びデータ比較部10において、破線の領域内は内蔵されている回路の一部を示している。なお、上記各部の回路構成は図2の例とは異なるが、ここでは便宜上、同じ符号で示すものとする。

【0034】ここで、検査対象となる画素部3の構成について簡単に説明する。なお、画素部3を構成する各画素の構成はほぼ同じであるため、その一部を代表して説明する。

【0035】画素部3においては、走査線G1、G2・・・及び信号線D1、D2・・・が互いに交差するように配置されており、これら両線の交差部にはTFTからなるスイッチ素子S1、S2・・・（以下、総称はSとする）が配置されている。このスイッチ素子Sのゲート電極は行毎に共通に走査線G1、G2・・・に接続され、ソース電極は列毎に信号線D1、D2・・・に接続されている。またドレイン電極は画素電極P1、P2・

・・に接続されるとともに、この画素電極P1、P2・・と電気的に並列に配置された補助容量Cs1、Cs2・・にも接続されている。この補助容量Cs1、Cs2・・は、列毎に共通に補助容量線44に接続されている。なお、図3はLCDパネルとして構成する前のLCD基板上での回路構成を示したものであり、画素電極P1、P2・・と対向配置される対向電極及びこれら電極間に挟持される液晶層などは図示していない。

【0036】走査線ドライバ回路42は、図示しないシフトレジスタやバッファを含む回路で構成され、外部から供給される制御信号（クロック／スタート信号）に基づいて、走査線G1、G2・・に一水平走査期間毎にゲート信号を出力する。

【0037】信号線ドライバ回路43は、シフトレジスタ（S/R）45、データバス46及びASW（アナログスイッチ）1、ASW2・・などで構成されている。シフトレジスタ45は、外部からデータ信号とともに供給される制御信号（クロック／スタート信号）に基づいてASW1、ASW2・・のオン／オフを制御し、データバス46に供給されたデータ信号を所定のタイミングで信号線D1、D2・・に出力する。このデータ信号は、前記ゲート信号によりオン／オフが制御されるスイッチ素子S1、S2・・を介して、信号線D1、D2・・から画素電極P1、P2・・及び補助容量Cs1、Cs2・・に書き込まれる（ただし、図3の状態では対向電極がないため、画素電極P1、P2・・への書き込みはなされない）。

【0038】なお、実際の信号線ドライバ回路では、駆動方法によりデータバスやASWの回路構成が異なる。ここでは説明を簡単にするために、データバス46及びASW46の配置及び接続関係は簡略化して示している。

【0039】上記のように構成された画素部3において、スイッチ素子S1、S2・・の導通不良及び補助容量Cs1、Cs2・・のリーク不良を検査する場合は、スイッチ素子S1、S2・・を介して補助容量Cs1、Cs2・・にテスト用信号を書き込み、再度これを読み出して期待値と比較して良否を判断する。

【0040】まず、図示しないテストから電源、接地（GND）などのシステム入力を、テスト用回路入出力端子7を通じてドライバ回路部4及びテストパターン発生部6にそれぞれ供給する。そして、テストパターン発生部6のスイッチ素子47を内部回路48からの制御信号により所定期間オン状態とし、かつデータ出力処理部8のスイッチ素子50を内部回路51からの制御信号でオフ状態とする。これにより、電源49からテスト用のデータ信号が入出力端子5を通じてドライバ回路部4に出力される。このデータ信号は、さらにシフトレジスタ45に制御されたASW1を通じて信号線D1に供給される。ここで、走査線ドライバ回路42から走査線G1

にゲート信号を出力して、一ライン分のスイッチ素子S1、S2・・を所定期間（書き込み期間）だけオン状態とする。すると、この間に前記テスト用のデータ信号はスイッチ素子S1を介して補助容量Cs1に書き込まれる。

【0041】次に、実際の駆動時と同じ1フレーム期間が経過した時点で、走査線ドライバ回路42から走査線G1にゲート信号を出力し、一ライン分のスイッチ素子S1、S2・・を再びオン状態とする。すると、補助容量Cs1に書き込まれたテスト用のデータ信号はスイッチ素子S1から再び信号線D1に出力される。ここで、テストパターン発生部6のスイッチ素子48を内部回路47によりオフ状態とし、かつデータ出力処理部8のスイッチ素子50をオン状態とすると、データ信号はシフトレジスタ45に制御されたASW1を通じてデータ出力処理部8に取り込まれる。この読み出されたデータ信号は、データ出力処理部8の内部回路52で必要に応じてデータの変換・加工が施された後、データ比較部10へ出力される。

【0042】一方、期待値データ出力部9の内部回路53からは、期待値として設定されたデータ信号がデータ比較部8の内部回路51に与えられている。データ比較部8の内部回路51では、補助容量Cs1から読み出されたデータ信号の電位と期待値のデータ信号の電位とを比較し、2つのデータ信号の電位の差が許容範囲内にあるときは正常と判断し、そうでない場合は異常と判断する。この判断結果は所定レベルの信号として出力される。同様のテストを画素部3の残りのスイッチ素子についても順に実施することにより、画素部3に含まれるすべてのスイッチ素子S1、S2・・の導通不良及び補助容量Cs1、Cs2・・がリーク不良を発生していないかを検査することができる。

【0043】また、データ比較部10から2つのデータ信号の電位を取り出すことにより、スイッチ素子の導通不良と補助容量のリーク不良を個別に判断することができる。例えば、読み出されたデータ信号の電位がゼロであれば、スイッチ素子の導通不良と判断することができる。また読み出されたデータ信号の電位が許容範囲外であれば、スイッチ素子の導通は正常であるが、補助容量にリーク不良があると判断することができる。これらの情報をもとにして不良箇所のリペアを行うことにより、リペア作業をより効率化することができる。

【0044】以上の説明から明らかなように、この実施形態に係わるLCD基板及びテスト方法によれば、複雑なテストパターンが必要な検査であっても、こうした複雑なパターンを複数種類用意する必要がなく、パターン完成までの待ち時間をなくすることができる。また、作成されたテストパターンを入出力端子5から入力するためのパターン発生器やパターンメモリなどが不要となり、複雑な検査を行う場合でも、大規模なテストを用意する

必要がなく、テストのコストを下げるができる。

【0045】また、従来のテスト方法では、ガラス基板上に形成された入出力端子からテストパターンを入力しているが、具体的にはテストに接続された微細な針（プローブ）をデバイス部2の入出力端子5へ接触させる必要があるため、その本数が多い場合には、プローブのコストが高くなるうえ、端子とプローブとの接触にも非常に高度な技術が要求され、生産性の低下を招いていた。しかし、この実施形態のデバイス部2では、従来テストから与えていた信号の一部をテスト用回路11で作成することができるため、テスト用入出力ピン7の本数を少なくすることができる。したがって、プローブのコストダウンが可能となるうえ、端子とプローブとの接触も容易なものとなり、生産性を向上させることができる。

【0046】なお、上記実施形態では、ドライバ回路部4を構成するインバータ回路の電気的な動作を検査する例、及び画素部3を構成するスイッチ素子の導通不良及び補助容量のリーク不良を検査する例について説明したが、この他にも、ドライバ回路部4を構成するASWやシフトレジスタ、あるいは画素部3を構成する走査線や信号線などについても、テストパターン発生部6からテスト用の信号を与えることで同様に検査を行うことができる。この場合も図示しないテストからは検査に必要な最小限のシステム入力を与えるだけで回路や配線の電気的な不良の有無を判定することができる。

【0047】

【発明の効果】以上説明したように、この発明に係わる

表示装置用電極基板及びそのテスト方法によれば、テストから検査に必要な最小限のシステム入力を与えるだけで回路や配線の電気的な不良の有無を判定することができるため、複雑なテストパターンが必要な検査であっても、こうしたパターンを複数種類用意する必要がなく、パターン完成までの待ち時間をなくすることができる。また、作成されたテストパターンを入力するためのパターン発生器やパターンメモリなどが不要となるため、複雑な検査を行う場合でも、大規模なテストを用意する必要がなく、テストのコストを下げることができる。

【0048】したがって、p-SiTFT-LCDの画素部やドライバ回路の検査に要するコストを削減することができる。

【図面の簡単な説明】

【図1】実施形態に係わるLCD基板の回路構成を示す概略ブロック図。

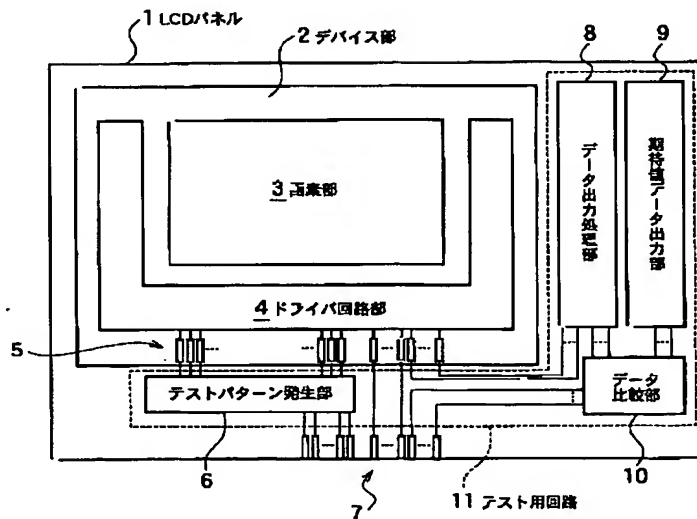
【図2】ドライバ回路部及びテスト用回路の部分的な回路構成図。

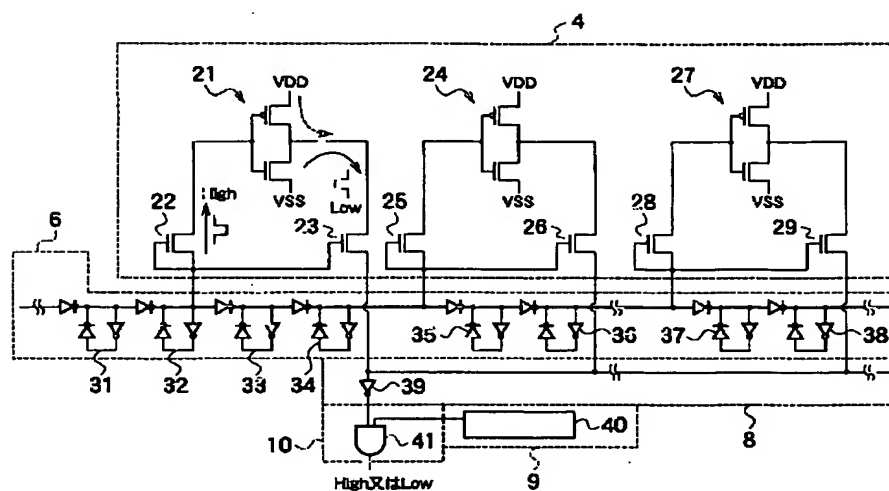
【図3】画素部及びテスト用回路の部分的な回路構成図。

【符号の説明】

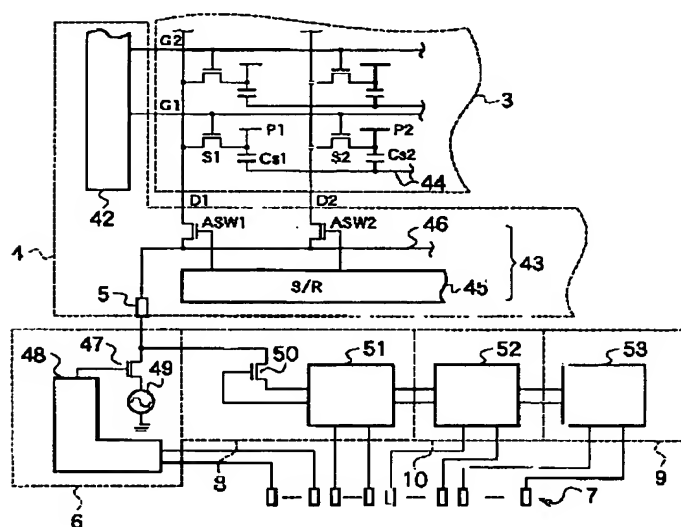
1…LCD基板、2…デバイス部、3…画素部、4…ドライバ回路部、5…入出力端子、6…テストパターン発生部、7…テスト用回路入出力端子、8…データ出力処理部、9…期待値データ出力部、10…データ比較部、11…テスト用回路

【図1】





【図3】



Fターム(参考) 2G014 AA01 AB21 AC18
2H088 FA12 FA13 FA19 FA30 HA08
MA20
5C094 AA41 AA43 AA44 AA45 AA60
BA03 BA43 CA19 EA04 EA05
EB02 HA08
5G435 AA19 BB12 KK05 KK10 LL08